

Reference B

Japanese Patent Public Disclosure No. 18409/1976

Date of Public Disclosure: February 14, 1976

Application No. 89890/1974

Application Date: August 7, 1974

Inventor: Masatsugu Shinozaki

Applicant: Hitachi Ltd.

Title: Data Transfer Apparatus

Claim:

A data transfer apparatus having a transmission control circuit for performing data transmission to a line and a receiving control circuit for receiving data from a line in a line side, and having a device control portion for transmitting data to a device in a device side, said data transfer apparatus comprising,

a receiving buffer for temporarily storing received data input through said receiving control circuit,

a receiving buffer control portion for controlling said receiving buffer,

an expansion circuit for expanding said received data,

a compression circuit for compressing said transmitted data input through said device control portion,

a transmission buffer for temporarily storing data provided by said compression circuit, and

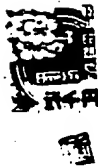
a transmission buffer control portion for controlling

**BEST AVAILABLE COPY**

STK V.EMC  
STK 07882

- 2 -

said transmission buffer, whereby, when a plurality of the same characters are repeated, all except one of the characters are deleted and a special function character is generated and a character count data is for restoring the deleted characters.



特 許 第 12

第 49 号 B 7

特許庁長官殿

発明の名称 データ伝送装置

発明者

神奈川県横浜市山下1番地  
株式会社 日立製作所神奈川工場内  
部長 田 利

特許出願人

東京都千代田区丸の内一丁目5番1号  
株式会社 日立製作所  
吉 山 博 吉  
代理人  
東京都千代田区丸の内一丁目5番1号  
株式会社 日立製作所内  
電話東京 270-2111(大代表)  
(9001) 外電士 部 田 利

① 日本国特許庁

# 公開特許公報

①特開昭 51-18409

②公開日 昭51.(1976) 2.14

③特願昭 49-87870

④出願日 昭49.(1974) 8. 7

審査請求 未請求 (全5頁)

庁内整理番号

7240 5  
6446 56

⑤日本分類

H04B 1/00  
H04B 1/66

⑥Int.Cl.

H04B 1/00  
H04B 1/66  
H04L 23/00

## 明 細 書

1 発明の名称 データ伝送装置

2 特許請求の範囲

回線に対しデータの送信を行なわしめる送信制御回路部と回線からのデータの受信を行なわしめる受信制御回路部とを回線側に有し、デバイスとの前記データの伝送を行なわしめるデバイス制御部をデバイス側に有するデータ伝送装置において、受信制御回路部を介して伝入する受信データを一時記憶する受信バッファと、該受信バッファを制御する受信バッファ制御部と、前記受信データを伸長せしめるエクスパンション回路部と、デバイス制御部を介して入力された前記送信データを縮小するコンプレッション回路部と、該コンプレッション回路部から与えられたデータを一時記憶する送信バッファと、該送信バッファを制御する送信バッファ制御部とを有し、複数の同一文字が連続するとき、これら同一文字のうち1文字を保持して他の文字を削除せしめ、削除した事を示す特殊機能マラクトと削除した文字を復元するための

文字カウントデータを付すようにしたデータ伝送装置。

3 発明の詳細な説明

本発明はデジタルデータの受授を行なう装置間において、これら装置間を結ぶデータ伝送路の有効利用をはかるデータ伝送装置に関する。

最近データ通信分野における伝送速度は、増加の一途をたどっている。この増加に対して、従来の設備方式では対応しきれなくなっており、この対応策として、(H)回線のスピードを上げる、(H)制御手段に全二重方式を採用する、(H)送受信データに加工を施し、データ長を短くして送受信を行なう、等の方法が採られている。しかし、上記(H)、(H)の方法によれば、回線の処理能力をそのまま利用するだけであつて、回線の処理能力によって制限され、回線の能力以上には増加できない欠点がある。これに対し、上記(H)の方法によれば、データ長が短くなるため、全体としては回線の処理能力以上にデータの伝送が可能となる。上記(H)の方法は、従来の電子計算機間の通信において一部

利用されており、以下その従来例を説明すると、  
あらかじめ、電子計算機間で、データ加工の  
アルゴリズムを収束済みとし、それを、ソフトウ  
エアで実現する。例えば、送受するスペースを逃  
る場合などは、その個数だけを相手側に知らせ、  
相手側では、その個数だけのスペースが送られて  
きたものと認識する、といったアルゴリズムであ  
る。

この技術は、ソフトウェアの助力が必要となる  
ので、送受信装置としては、プログラム制御可能  
なものしか許されないことになり、汎用性に乏し  
い。また電子計算機が送受信装置として代用され  
ることは、一般には、それが汎用的な使用目的を  
持つため、このデータ加工のためのオーバーヘッド  
が増加することになり、他の仕事の処理時間に、  
影響を及ぼすことになつてしまい、利便とは言い  
難い。さらに、これらの処理を行なうためのシス  
テム プログラムエリアの確保も必要となり、ユ  
ーザの使用可能なメモリエリアが減少されるとい  
う欠点もある。

とを確証すると、相手側との受信動作は終了する。  
受信の終了と同時に、受信バッファ4からのデー  
タは、エクスパンション5 (EXPANSION) 回路部に  
順次取り出され、デバイスに送出すべきデータ形  
式に編換され、デバイス制御部10に送り出される。

また、送信の場合、デバイスからのデータは、  
デバイス制御部10を経由し、コンプレッション  
(COMPRESSION) 回路部9に送り込まれる。このコ  
ンプレッション回路部9により、データは、送信  
時のフォーマットに編換され、送信バッファ制御  
部7の制御により、送信バッファ8に順次書き入  
れる。デバイス側からの送信データの伝送終端に  
達し、制御は、送信制御回路部6に移り、データ  
は、送信バッファ8から順次取り出され、モデム  
インターフェイス回路部1を経由し、図面上に送  
出される。また、本実施例においては、送受信デ  
ータの誤りチェック方式を垂直、水平パリティ方  
式と仮定して述べる。

図2図に、本発明実施例前(4で示す)と、実  
施後(5で示す)の送受信データフォーマットを

特許 51-16403 2

本発明の目的にかんがうたに鑑み、伝送装置に  
データ伸縮の機能を付与することなく、データ伸  
縮が可能でデータ伸縮伝送装置を提供することある。

上記目的を達成するため、本発明は、送信制  
御回路部とデバイス制御部の間、送信バッファ、  
送信バッファ制御部、コンプレッション (compression)  
回路部を設け、受信制御回路部とデバイス制御部  
との間に受信バッファ、受信バッファ制御部、エ  
クスパンション (Expansion) 回路部を設け、復元  
の同一文字が連続するとき、その連続文字を文字  
数に書き替えることにより伝送データ量を減少す  
るを特徴としている。

以下図に従い本発明を詳細に説明する。第1図  
は本発明の一実施例を示すブロック図を示す。第  
1図において、図面から受信されたデータはモデ  
ムインターフェイス回路1、受信制御回路部2を介  
し、受信バッファ制御部3により受信バッファ4  
に書き入れられる。受信データは受信制御回路部2に  
より受信に關する誤りの検出が適宜行なわれ、最  
後のキャラクタ(文字)を受信し、誤りが無いと

示す。これらはいずれも 'STX' という伝送制御キ  
ャラクタで始まり、'ETX' という伝送制御キ  
ャラクタで終る一つのテキストであるが、このテキ  
スト中にある、連続する4文字のキャラクタ 'C' が、  
このテキスト中では、'ESC' 'C' 'H' という形で表  
現されている。このように、テキスト中の連続す  
るキャラクタは、本発明実施例では必ず 'ESC' 'x'  
'x' という形で表わされ、該テキスト後の短縮化  
が行なわれる。但し 'ESC' 'x' 'x' という形で表わ  
されるのは、同一キャラクタが3個以上連続した  
場合だけである。'ESC' 'x' 'x' というシーケンス  
は、本実施例での約束で、まず連続する同一キ  
ャクタを省略したことを示すため、特殊機能キ  
ャクタ ESC を先行させ、次に続くキャラクタで  
省略キャラクタを代表させ(ここでは 'x' で示  
す)。そして、最後に何文字省略されたかを、16  
進(ここでは 'x' で示す)で文字カウントデー  
タに示したものである。したがって、一般に受信  
時において、受信制御回路部では 'ESC' に続く2  
キャラクタについては、垂直パリティチェックの

みしか、誤り制御に行なわず無条件に受信バッファに書き込む。送受信されるデータは、一般に、第2図のAに示す形式のままで第1図の受信バッファ4、送信バッファ8に書入れられる。また第2図のA、Bの例において、'ETX'の後にある'BCC'は、水平バリティを示している。

次に、前記した'ESC'\*'n'というシーケンスがどのようにして装置内で扱われるか、第3図、第4図を用いて説明する。

第3図は、エクステンション制御部5のブロック図である。受信されたデータは、まず、エクステンション制御部14からの指令により、受信バッファ4から、順次取り出される。取り出されたデータは、レジスタB(以下REGBと略す)11にまず格納され、DECODER13により'ESC'かどうかの判定が行なわれる。判定中にREGB 11の内容は、レジスタI(以下REGAと略す)12に移り、判定結果を待つことになる。ここで、'ESC'でなければ、REGA 12の内容は、デバイス制御部10を経由して、該当デバイスに送られる。もし'ESC'であるなら、

その旨の報告が、エクステンション制御部14に送られる。エクステンション制御部14は、これを受けて、データの伸長動作を指示する。まず、REGB 11の内容が、REGA 12に移され、次のデータが受信バッファ4よりREGB 11に格納される。この間デバイス制御部10へのデータ出力は禁止される。次のタイミングでCOUNTER15の内容をクリアするとともに受信バッファ4からの次のデータの読出しを禁止する旨の指令が、受信バッファ制御部3に送られる。次のタイミングで、REGA 12の内容は、デバイス制御部10を通し、デバイスに出力され、COUNTER15の内容が1つつ2進加算され、その結果とREGB 11の内容とで、比較回路16により、2進比較が行なわれる。以下この動作を繰り返して、COUNTER15の内容と、比較回路16の内容が一致した時、この動作の終端準備がなされる。そしてREGB 11と、REGA 12の内容が全てクリアされた時、この動作は、終結し、その後受信バッファ4からの読出しが再開される。このようにして、受信データは、正常な形式に編集される。

第4図は、送信時に第2図のAに示すようなデータフォーマットを作成するためのコンプレッション制御部9のブロック図である。デバイス制御部10から送られてくるデータは、レジスタI(以下REGAと略す)21に格納され、レジスタB 22(以下REGBと略す)の内容と、比較回路23により比較される。但しデバイス制御部10からの最初のキャラクターについては、コンプレッション制御部28の制御により、無条件にREGB 22に移される。比較した結果が等しければ、COUNTER24の内容が、1つつ2進加算され、もし等しくなれば、COUNTER 24の内容は、0にクリアされる。しかも、COUNTER 24の内容は、COUNTER 検出部25により監視されていて、COUNTER24の内容が、3となつた時、COUNTER 検出部25より、コンプレッション制御部28にその旨知らされ、データの圧縮動作の準備がなされる。しかし、この時REGB 22の内容を送信バッファ8に書き込む動作は、抑制されてはいない。そして、COUNTER24の内容は、比較回路23より等しいことが知られるたびに、1つつ2進加

算が行われる。COUNTER 検出部25から、COUNTER 24の内容が3となつた旨の報告が行なわれている条件のもとで、比較回路23から、データが等しくない旨の報告があつた時、COUNTER24の内容は保持され、それと同時に、コンプレッション制御部28から、送信バッファ制御部7へ送信バッファ書き込み禁止要求が出る。これが受け付けられた後、メモリアドレスレジスタ(以下MARと略す)30の内容から、COUNTER24の内容を減算部27で減算させ、結果をMAR30へ格納すると同時に、文字発生部26より'ESC'キャラクターを発生させ、それをメモリレジスタ(以下MRと略す)29に格納し、送信バッファ制御部7に1キャラクターの書き込み要求を出す。このキャラクターの送信バッファ8への書き込み終了後、MR29にREGB22の内容を移し、送信バッファ8内の'ESC'を書込んだ次のエリアにこれを書き込み、次にCOUNTER24の内容を、同様に送信バッファ8に書き込む。その後、4のCOUNTER24の内容及びREGB 22の内容をクリアし、データの圧縮動作を終結する。これ以後、REGA 21の内容

を REGB 22 に移し、デバイス制御部10からのデータを REGA 21 に格納し、前記した動作にもどる。

以上はデータ送信の場合について説明したが、他のデジタルデータの受受を行なう装置間にも同様に適用できることはいうまでもない。

以上説明した如く、本発明によれば、処理装置にデータ伝達の動作を行なわせることなく、データ伝達が可能となり、データ伝送路を有効に使用することができる。特に複数の装置が一つの伝送路を共有して情報交換を行なうときその効果は顕著である。副次的効果としては伝送データ量が少なくなるため伝送路に起因するデータ誤りの発生が少なくなる。

#### 4 図面の簡単な説明

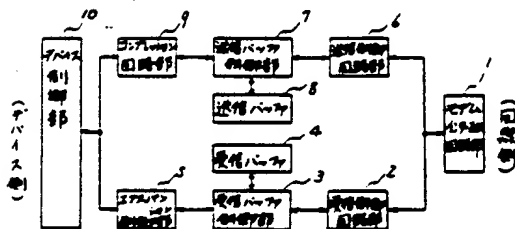
第1図は本発明による一実施例を示すブロック図、第2図はデータ伝達の状態を示す図、第3図は第1図のエクステンション回路部の詳細ブロック図、第4図は第1図のコンプレッション回路部の詳細ブロック図である。

2…受信制御回路部、3…受信バッファ制御部、

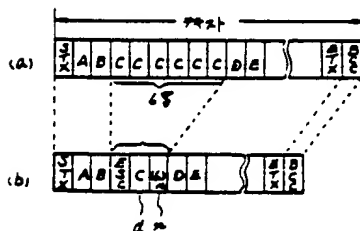
4…受信バッファ、5…エクステンション回路部、6…送信制御回路部、7…送信バッファ制御部、8…送信バッファ、9…コンプレッション回路部、10…デバイス制御部、ESC…等長強記キャラクタ、A…文字カウントデータ、B…省略キャラクタ。

代理人弁護士 藤田利幸

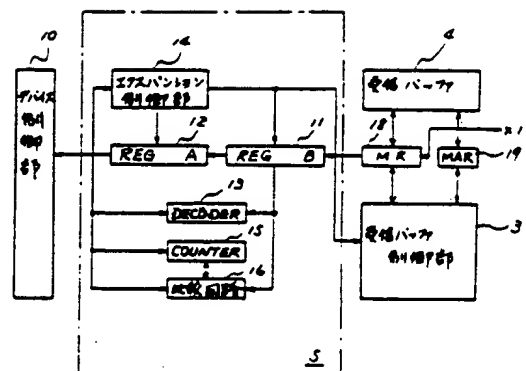
第1図



第2図

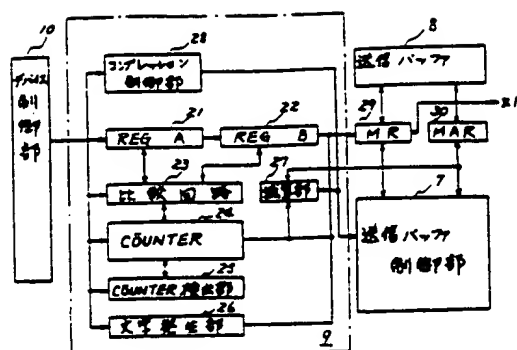


第3図



(注) 11は受信制御回路部と接続する。

図4



(注) 21 は 送信制御部と接続する。

添付書類の目録

|       |   |   |    |
|-------|---|---|----|
| (1) 書 | 目 | 録 | 10 |
| (2) 書 | 目 | 録 | 10 |
| (3) 書 | 目 | 録 | 10 |
| (4) 書 | 目 | 録 | 10 |

前記以外の発明者、特許出願人または代理人

発 明 者

.....

.....

**THIS PAGE BLANK (USPTO)**